

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-188499

(43)Date of publication of application : 10.07.2001

---

(51)Int.Cl.

G09G 3/20

G02F 1/133

G09G 3/36

---

(21)Application number : 11-373156

(71)Applicant : KONINKL PHILIPS  
ELECTRONICS NV

(22)Date of filing : 28.12.1999

(72)Inventor : KAMIYA OSAO  
YASUI MASARU

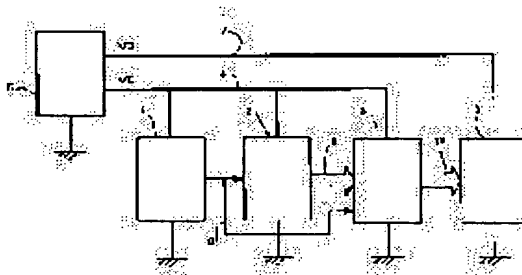
---

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device which is capable of reducing electric power which is equal to or larger than that in a standby mode and is capable of performing an absolute minimum display.

SOLUTION: This display device is provided with an LCD panel 6 and a digital circuit 1 and an analog circuit 2 generating a display signal which is to be outputted to the LCD panel 6 as a display control means and is provided with a normal mode and a standby mode in a state in which the electric power of the device is supplied from a power source part 5. In the device, in the normal mode, a multi-level display signal capable of displaying gradation is generated to be outputted to the LCD panel 6 and, in the standby mode, a binary display signal which does not display gradation is generated to be outputted to the panel 6.



---

**CLAIMS**


---

**[Claim(s)]**

[Claim 1] Display It has a display-control means to generate the status signal outputted to this display, it sets in the state where power is supplied from the power supply, and is the function of the normal mode and a standby mode. It is the display equipped with the above and the aforementioned display-control means is characterized by generating the status signal of the multiple value which can display gradation in the aforementioned normal mode, and generating the binary status signal which does not display gradation in the aforementioned standby mode.

[Claim 2] The aforementioned display-control means is display according to claim 1 characterized by outputting the status signal binary [ aforementioned ] which has the 1st circuit which generates the status signal of the aforementioned multiple value, and the 2nd circuit which generates a status signal binary [ aforementioned ], stopped supply of power in the 1st circuit of the above in the aforementioned standby mode, and was generated by the 2nd circuit of the above to the aforementioned display.

[Claim 3] The 1st circuit of the above is display according to claim 2 characterized by including the circuit which changes a two or more bits digital signal into an analog signal.

[Claim 4] The 1st circuit of the above is display according to claim 2 characterized by including the amplifying circuit which amplifies the circuit which changes a two or more bits digital signal into an analog signal, and the analog signal concerned.

[Claim 5] The aforementioned display-control means is display according to claim 1 characterized by to output the status signal of the aforementioned multiple value to the aforementioned display by the current which flows to the two aforementioned active elements according to the input of an analog signal, and to output a status signal binary [ aforementioned ] to the aforementioned display in the aforementioned standby mode in the aforementioned normal mode by the current which flows to one of active elements including the amplifying circuit which consists of two active elements by which the series connection was carried out.

[Claim 6] The aforementioned display-control means is the claim 1 characterized by having two or more digital circuits which generate the two or more bits digital signal for generating the status signal of the aforementioned multiple value, making into an active state only one digital circuit which generates a 1-bit specific digital signal

among two or more aforementioned bits in the aforementioned standby mode, and making other digital circuits into a non-active state, or the display of any one publication of five.

[Claim 7] They are the claim 1 which the aforementioned display consists of the reflected type liquid crystal display sections, and is characterized by the aforementioned display-control means outputting the aforementioned status signal to the drive circuit of this liquid crystal display section, or the display of any one publication of six.

---

**DETAILED DESCRIPTION**


---

**[Detailed Description of the Invention]**

[0001]

[The technical field to which invention belongs] Especially this invention relates to the display which has a liquid crystal display (LCD) panel about display.

[0002]

[Description of the Prior Art] In the display which has the penetrated type LCD panel, the back light system which illuminates the display screen from the background of the LCD panel which encloses a liquid crystal layer is used. By the notebook sized personal computer or the transparency type LCD panel of the use of PDA (pocket communication equipment), even if fixed time passes, the operation means of a keyboard, or a mouse and others changes to a standby mode (sleep mode), when operation is not carried out, and switches off a back light, the status signal to the LCD panel is also intercepted, and power consumption is cut down. Since especially the power consumption of a back light is large, the effect of power curtailment is remarkable by changing to a standby mode.

[0003]

[Problem(s) to be Solved by the Invention]

However, since the back light system was not used in the reflected type LCD panel, effective power curtailment was not able to be aimed at. On the other hand, that reflected type LCD is used has many personal digital assistants, such as a cellular phone possessing communication facility, and it is a use as which a low power is required. however -- even if it is a standby mode in the personal digital assistant possessing communication facility -- arrival of the mail -- the case of being waiting almost coming out, there being, and having intercepted the status signal to the LCD panel -- if -- the notice of arrival of the mail cannot be displayed, but it is necessary to establish the display means for the notice of arrival of the mail in addition to the LCD panel Moreover, also in a personal digital assistant without communication

facility, only the present time has the case where he wants to make it display. For this reason, in the display which has the reflected type LCD panel without a back light, the technical problem of an antinomy called the above power curtailment and a necessary minimum display is held more.

[0004] In view of the above-mentioned point, this invention aims at offering the display which can aim at the above power curtailment and can give a necessary minimum indication rather than it can set to a standby mode.

[0005]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the display by this invention In the state where have a display and a display-control means to generate the status signal outputted to this display, and power is supplied from the power supply It is the display possessing the function of the normal mode and a standby mode, and the aforementioned display-control means is characterized by generating the status signal of the multiple value which can display gradation in the aforementioned normal mode, and generating the binary status signal which does not display gradation in the aforementioned standby mode.

[0006] Since it replaces with generation of the status signal of a large multiple value, power consumption generates a status signal binary [ small ] and power consumption outputs to a display in a standby mode by having such a display-control means, while being able to aim at the above power curtailment more, a necessary minimum indication of the notice of arrival of the mail, the present time, etc. can be given.

[0007] In the display of the above-mentioned mode, the aforementioned display-control means has the 1st circuit which generates the status signal of the aforementioned multiple value, and the 2nd circuit which generates a status signal binary [ aforementioned ], and outputs the status signal binary [ aforementioned ] which stopped supply of power in the 1st circuit of the above, and was generated by the 2nd circuit of the above to the aforementioned display in the aforementioned standby mode. Since this stops the electric power supply to the large circuit of power consumption and a status signal is generated in the small circuit of power consumption, power curtailment can be aimed at effectively and the minimum indication can be given.

[0008] Moreover, in the display of the above-mentioned mode, the 1st circuit of the above includes the circuit which changes a two or more bits digital signal into an analog signal. Drastic power curtailment is enabled by carrying out the non-active state of this large circuit of power consumption in a standby mode by this.

[0009] Moreover, in the display of the above-mentioned mode, the 1st circuit of the above contains the amplifying circuit which amplifies the circuit which changes a two or more bits digital signal into an analog signal, and the analog signal concerned. Still more drastic power curtailment is enabled by carrying out the non-active state also of the amplifying circuit of an analog signal by this.

[0010] Moreover, including the amplifying circuit which consists of two active elements by which the series connection was carried out, in the aforementioned normal mode, the aforementioned display-control means outputs the status signal of the aforementioned multiple value to the aforementioned display by the current which flows to the two aforementioned active elements according to the input of an analog signal, and outputs a status signal binary [ aforementioned ] to the aforementioned display in the aforementioned standby mode in the display of the above-mentioned mode by the current which flows to one of active elements. Since a binary status signal is generated using the amplifying circuit which generates the status signal of a multiple value by this where the power of the circuit is cut down, in order to generate a binary status signal, it is not necessary to add a circuit.

[0011] Moreover, in the display of the above-mentioned mode, the aforementioned display-control means has two or more digital circuits which generate the two or more bits digital signal for generating the status signal of the aforementioned multiple value, makes an active state only one digital circuit which generates a 1-bit specific digital signal among two or more aforementioned bits in the aforementioned standby mode, and makes other digital circuits a non-active state. Also in the circuit which generates not only the circuit that generates by this the status signal of the multiple value which is an analog signal but a digital signal, power consumption is reducible.

[0012] Moreover, in the display of the above-mentioned mode, the aforementioned display consists of the reflected type liquid crystal display sections, and the aforementioned display-control means outputs the aforementioned status signal to the drive circuit of this liquid crystal display section. The power consumption of the notebook sized personal computer with which many liquid crystal display sections are used, or the dc-battery of PDA can be cut down by this, as a result continuous duty time of equipment can be lengthened.

[0013]

[Embodiments of the Invention] Drawing 1 shows roughly some systems in the display using the reflected type liquid crystal display (LCD) panel by one example.

[0014] In drawing 1, the power supply line 4 connects with a power supply section 5, and the constant voltage VC is supplied to the operation detector 1, the digital circuit 2 as the 1st circuit, and the analog circuit 3 as the 2nd circuit. The power supply line 7 connects with a power supply section 5, and the constant voltage VD is supplied to the LCD panel (display) 6. When the time when this equipment is not operated continuously exceeds a predetermined time, through a signal line 8, the operation detector 1 inputs into a digital circuit 2 and an analog circuit 3 STBY which is the standby signal of low bitter taste TIVU, and changes to a standby mode.

[0015] A digital circuit 2 consists of ICs of C-MOS, generates the digital signal for generating a status signal, and inputs it into an analog circuit 3 through a signal line 9. An analog circuit 3 generates a status signal according to this digital signal, and inputs it into the drive circuit of the LCD panel 6 through a signal line 10. By TFT (TFT) which is the drive circuit formed in the glass substrate which encloses a liquid crystal layer, the LCD panel 6 drives a pixel electrode and displays a picture.

[0016] TFT is the TFT constituted by the channel between the gate formed in the position where the matrix which consists of a gate bus corresponding to the level display direction and a source bus corresponding to the perpendicular display direction crosses, the source, a drain, and the source and a drain. By inputting a pulse signal into a gate bus, where a status signal is inputted into a source bus, the status signal which turned ON the channel and was inputted into the source is supplied to the pixel electrode connected to the drain. Namely, the above-mentioned analog circuit 3 constitutes a source driver circuit, generates a status signal at intervals of vertical-scanning time for two or more source line of every which can be set in the perpendicular display direction, and inputs it into the LCD panel 6.

[0017] The digital circuit 2 and analog circuit 3 which were shown in drawing 1 constitute a display-control means to input a status signal into a source bus, and drawing 2 shows the concrete circuit.

[0018] In drawing 2, the DA converter circuit 301 changes a 6-bit digital signal into an analog signal. One buffer circuit 201 corresponding to the most significant bit (MSB), five AND circuits 202, or the output of 206 is connected to six inputs of the DA converter circuit 301, respectively. The 6-bit digital signal for generating an analog signal to the input of a buffer circuit 201, and AND circuit 202 or the input in 206 which is one side, respectively is inputted. Moreover, the signal line 8 of STBY from the operation detector 1 in AND circuit 202

or 206 shown in the input of another side at drawing 1 is connected, respectively. This signal line 8 is connected to the power supply line 4 through the pull-up resistor 207.

[0019] In addition, the signal line 11 of the alternating current-sized signal POL is connected to the DA converter circuit 301. POL carries out the work which makes plus or minus reverse the driver voltage of liquid crystal. For example, a DA converter circuit is controlled so that a DA converter circuit is controlled so that it becomes a plus write mode when the common electrode of TFT is 0 volt, and white becomes 0 volt and black becomes 5 volts, it becomes a minus write mode when a common electrode is 5 volts, and white becomes 5 volts and black becomes 0 volt.

[0020] Since STBY is high-level in the normal mode, AND circuit 202 or 206 will be in a bitter taste TIVU state (active state). For this reason, the 6-bit digital signal inputted into a buffer circuit 201 and AND circuit 202, or 206 is outputted, and it is inputted into the DA converter circuit 301. On the other hand, since STBY is a low level in a standby mode, AND circuit 202 or 206 will be in an in bitter taste TIVU state (non-active state). For this reason, the 5-bit digital signal inputted into AND circuit 202 or 206 is not outputted, but only the digital signal of 1-bit MSB inputted into the buffer circuit 201 is outputted.

[0021] The output of the DA converter circuit 301 is connected to the input of the amplifier circuit 302. Both the power terminal of the DA converter circuit 301 and the power terminal of the amplifier circuit 302 are connected to the power supply line 4 through the switching circuit 303 which consisted of analog switches. The control terminal of this switching circuit 303 is connected to the signal line 8 of STBY. Moreover, the output of the amplifier circuit 302 is connected to an output terminal 305 through a switching circuit 304, and the control terminal of a switching circuit 304 is connected to the signal line 8.

[0022] For this reason, in the normal mode with high-level STBY, a switching circuit 303 will be in an ON state, and power is supplied to the DA converter circuit 301 and the amplifier circuit 302, and it will be in the bitter taste TIVU state where a bias current flows. Therefore, the 6-bit digital signal inputted into the DA converter circuit 301 is changed into an analog signal, power amplification is made by the amplifier circuit 302 and the status signal of the multiple value which can display gradation is inputted into the source bus of the LCD panel from an output terminal 305.

[0023] It connects with the power supply line 4 through a switching circuit 306, and the output terminal 305 is connected to the earth line through the switching circuit 307. The output of AND

circuit 208 is connected to the control terminal of a switching circuit 306, and the control terminal of a switching circuit 307 is connected to the output of AND circuit 209. The signal line 12 of STBY reversed by the inverter circuit 210 is connected to the input of these AND circuits 208 and 209 which is one side, respectively.

[0024] For this reason, in the normal mode with high-level STBY, since the signal of a low level is inputted into the input of AND circuits 208 and 209 it is [ input ] one side, respectively, the output of AND circuits 208 and 209 turns into it with a low level irrespective of the level of the input of another side. Consequently, switching circuits 306 and 307 will be in an OFF state. Therefore, it will be separated from an output terminal 305 by the power supply line 4 and the earth line, and they will not affect the status signal outputted from the amplifier circuit 302.

[0025] STBY will be in the in bitter taste TIVU state where will be in an OFF state, power is not supplied to the DA converter circuit 301 and the amplifier circuit 302, and, as for a switching circuit 303, a bias current does not flow, in the standby mode of a low level. Moreover, it becomes off [ a switching circuit 304 ] and the output of the amplifier circuit 302 is separated from an output terminal 305.

[0026] Furthermore in this standby mode, a high-level signal is given to the input of AND circuits 208 and 209 which is one side, respectively by the signal line 12. For this reason, AND circuits 208 and 209 will be in a bitter taste TIVU state. The output of IKUSUKURUSHIVU OR circuit 211 is connected to the input of another side of AND circuit 208, and the output of IKUSUKURUSHIVU OR circuit 212 is connected to the input of another side of AND circuit 209.

[0027] The signal line of POL is connected to the input of these IKUSUKURUSHIVU OR circuits 211 and 212 which is one side, respectively. Moreover, the signal with which the output of a buffer circuit 201 is connected to the input of another side of IKUSUKURUSHIVU OR circuit 211 and which was reversed by the inverter circuit 213 is both connected to the input of another side of IKUSUKURUSHIVU OR circuit 212.

[0028] For this reason, in a standby mode, supposing POL is set as a low level, for example, a switching circuit 306 is turned on only when 1-bit MSB which is the output of a buffer circuit 201 is high-level, and a switching circuit 307 will be turned on, only when MSB is a low level. Therefore, from an output terminal 305, a binary status signal is inputted into the source bus of the LCD panel from an output terminal 305 according to the level of MSB.

[0029] Thus, instead of generating the status signal

of a multiple value, by generating a binary status signal, supply of power in the DA converter circuit 301 and the amplifier circuit 302 is stopped, it considers as an in bitter taste TIVU state, and the power consumption in these circuits is cut down in a standby mode. Since especially the bias current for generating the status signal of a multiple value in these circuits is large, the effective power consumption curtailment of it is attained by making a bias current into zero by making these large circuits of power consumption into an in bitter taste TIVU state.

[0030] By the way, generally in IC of C-MOS, the power consumption  $P_d$  is expressed with the following formula.

[0031]  $P_d = CVf$  [0032] In this formula, C is [ a signal amplitude (the case of drawing 1 abbreviation voltage VC) and f of load-carrying capacity, such as a signal line, and V ] the repeat frequency (voltage rate-of-change  $dV/dt$ ) of 0 and 1. The value of load-carrying capacity C becomes so large that a signal line increases. For example, since a 6-bit digital signal is needed for every color in order to generate the status signal of the multiple value of RGB which is color display, a total of 18 signal lines connect the output side of a digital circuit, and the input side of a DA converter circuit. [0033] In a standby mode, since other 5 bits are fixed to 0 or 1 only using one of 6 bits each in RGB of MSB (in bitter taste TIVU state), the value of f in 15 signal lines serves as zero among 18 signal lines. the value of C of 18 signal lines which boils, respectively and can be set, and the value of V -- abbreviation -- if it thinks that it is the same and the power consumption by the sampling clock etc. will be removed, it will also become possible to cut down the power consumption in a digital circuit to abbreviation 1/6

[0034] Also not only in the AD converter circuit 301 which generates an analog signal by this, and the amplifier circuit 302 but AND circuit 202 or the digital circuit of 206, power consumption is reducible.

[0035] Moreover, although it connects with a power supply line through a switching circuit, a DA converter circuit will be in a bitter taste TIVU state at the time of the normal mode and it will be in an in bitter taste TIVU state with the composition of other examples of this invention at the time of a standby mode, it connects with a power supply line directly, and the amplifier circuit is always in the bitter taste TIVU state.

[0036] In the equal circuit of the general operational amplifier of the amplifier circuit 302 grade in drawing 2, the output stage has the composition that totem pole connection of a PNP type transistor and the NPN type transistor was made. For this reason, even if it does not use the

switching circuits 306 and 307 shown in drawing 2 by controlling an output stage by the 1-bit digital signal proper, it is possible to generate a binary status signal in a standby mode, and to input into the source bus of the LCD panel. Thereby, in order to generate a binary status signal, it is not necessary to add the switching circuit 306 of drawing 2, and the circuit of 307 and others.

[0037] In addition, in the above-mentioned example, although the example about a liquid crystal display was given, this invention is not necessarily limited to being applied to a liquid crystal display. For example, this invention is applicable also to a plasma display, electroluminescent-display equipment, and the display of other kinds.

[0038]

[Effect of the Invention] Although the status signal of the multiple value which can display gradation in the normal mode is generated according to this invention, since it replaces with generation of the status signal of a large multiple value, power consumption generates a status signal binary [ small ] and power consumption outputs to a display, while effective power curtailment can be aimed at, in a standby mode, the necessary minimum display of the notice of arrival of the mail, the present time, etc. is enabled.

## DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram having shown roughly some systems in the display using the reflected type LCD panel by one example of this invention.

[Drawing 2] The concrete circuit diagram of the digital circuit of drawing 1, and an analog circuit.

[Description of Notations]

- 1 -- Operation detector
- 2 -- Digital circuit
- 3 -- Analog circuit
- 4 -- Power supply line
- 5 -- Power supply section
- 6 -- The LCD panel
- 8 -- STBY signal line
- 11 -- Alternating current-ized signal line
- 12 -- Reversal STBY signal line
- 201 -- Buffer circuit
- 208 202-206, 209 -- AND circuit
- 207 -- Pull-up resistor
- 210 213 -- Inverter circuit
- 211 212 -- IKUSUKURUSHIVU OR circuit
- 301 -- DA converter circuit
- 302 -- Amplifier circuit
- 307 -- Switching circuit
- 305 -- Output terminal

## \* NOTICES \*

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-188499

(P2001-188499A)

(43) 公開日 平成13年7月10日 (2001.7.10)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 B 2 H 0 9 3
	6 4 1		6 4 1 Z 5 C 0 0 6
G 0 2 F 1/133	5 0 5	G 0 2 F 1/133	5 0 5 5 C 0 8 0
G 0 9 G 3/36		G 0 9 G 3/36	

審査請求 未請求 請求項の数7 O L (全 6 頁)

(21) 出願番号 特願平11-373156

(22) 出願日 平成11年12月28日 (1999. 12. 28)

(71) 出願人 590000248

コーニンクレッカ フィリップス エレク

トロニクス エヌ ヴィ

Koninklijke Philips

Electronics N. V.

オランダ国 5621 ペーアー アイन्दー

フェン フルーネヴァウツウエッハ 1

(72) 発明者 神谷 長生

兵庫県神戸市西区高塚台4丁目3番1 ホ

シデン・フィリップス・ディスプレイ株式

会社内

(74) 代理人 100087789

弁理士 津軽 進

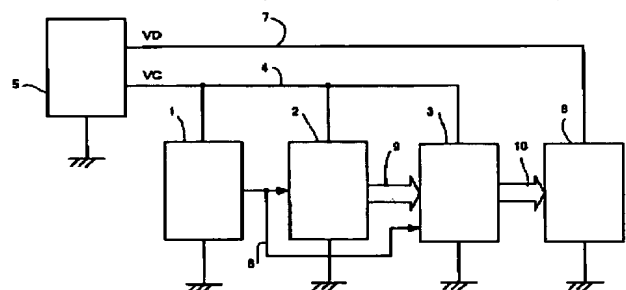
最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 スタンバイモードにおけるより以上の電力削減を図ることができ、かつ必要最小限の表示をし得る表示装置を提供する。

【解決手段】 LCDパネル6と、このLCDパネル6に出力する表示信号を生成するデジタル回路1及びアナログ回路2を表示制御手段として備え、電源部5から電力が供給されている状態において、通常モードとスタンバイモードの機能を具備しており、通常モードにおいては階調を表示し得る多値の表示信号を生成してLCDパネル6に出力し、スタンバイモードにおいては階調を表示しない2値の表示信号を生成してLCDパネル6に出力する。



**【特許請求の範囲】**

【請求項1】 表示部と、この表示部に出力する表示信号を生成する表示制御手段とを備え、電源から電力が供給されている状態において、通常モードとスタンバイモードの機能を具備する表示装置であって、前記表示制御手段は、前記通常モードにおいては階調を表示し得る多値の表示信号を生成し、前記スタンバイモードにおいては階調を表示しない2値の表示信号を生成することを特徴とする表示装置。

【請求項2】 前記表示制御手段は、前記多値の表示信号を生成する第1の回路と前記2値の表示信号を生成する第2の回路とを有し、前記スタンバイモードにおいては、前記第1の回路への電力の供給を停止し前記第2の回路によって生成された前記2値の表示信号を前記表示部に出力することを特徴とする請求項1記載の表示装置。

【請求項3】 前記第1の回路は、複数ビットのデジタル信号をアナログ信号に変換する回路を含むことを特徴とする請求項2記載の表示装置。

【請求項4】 前記第1の回路は、複数ビットのデジタル信号をアナログ信号に変換する回路及び当該アナログ信号を増幅する増幅回路を含むことを特徴とする請求項2記載の表示装置。

【請求項5】 前記表示制御手段は、直列接続された2つの能動素子からなる増幅回路を含み、前記通常モードにおいては、アナログ信号の入力に応じて前記2つの能動素子に流れる電流によって前記多値の表示信号を前記表示部に出力し、前記スタンバイモードにおいては、いずれか一方の能動素子に流れる電流によって前記2値の表示信号を前記表示部に出力することを特徴とする請求項1記載の表示装置。

【請求項6】 前記表示制御手段は、前記多値の表示信号を生成するための複数ビットのデジタル信号を生成する複数のデジタル回路を有し、前記スタンバイモードにおいては、前記複数ビットのうち特定の1ビットのデジタル信号を生成する1つのデジタル回路のみを活動状態にし、他のデジタル回路を非活動状態にすることを特徴とする請求項1ないし5のいずれか1つに記載の表示装置。

【請求項7】 前記表示部は反射型の液晶表示部で構成され、前記表示制御手段は、この液晶表示部の駆動回路に前記表示信号を出力することを特徴とする請求項1ないし6のいずれか1つに記載の表示装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、表示装置に関し、特に、液晶表示（LCD）パネルを有する表示装置に関する。

**【0002】**

【従来の技術】 透過型のLCDパネルを有する表示装置

においては、液晶層を封入するLCDパネルの裏側からその表示画面を照明するバックライトシステムが用いられている。ノート型パソコンやPDA（携帯通信機器）といった用途の透過型のLCDパネルでは、一定時間が経過してもキーボードやマウスその他の操作手段が操作がされない場合にはスタンバイモード（スリープモード）に遷移して、バックライトを消灯し、LCDパネルへの表示信号も遮断して消費電力の削減をしている。特に、バックライトの消費電力は大きいので、スタンバイモードに遷移することにより電力削減の効果は著しい。

**【0003】**

【発明が解決しようとする課題】 しかし反射型のLCDパネルにおいてはバックライトシステムを用いていないので、効果的な電力削減を図ることができなかった。一方、反射型のLCDが使われるのは、通信機能を具備した携帯電話等の携帯端末が多く、低消費電力が要求される用途である。ところが通信機能を具備した携帯端末においては、スタンバイモードであっても着信待機中である場合がほとんどであり、LCDパネルへの表示信号を遮断したのでは着信通知を表示することができず、LCDパネル以外に着信通知用の表示手段を設ける必要がある。また、通信機能を持たない携帯端末においても、現在時刻だけは表示させたい場合がある。このためバックライトを持たない反射型のLCDパネルを有する表示装置では、より以上の電力削減と必要最小限の表示という二律背反の課題を抱えている。

【0004】 本発明は、上記した点に鑑み、スタンバイモードにおけるより以上の電力削減を図ることができ、かつ必要最小限の表示をし得る表示装置を提供することを目的としている。

**【0005】**

【課題を解決するための手段】 上記目的を達成するために、本発明による表示装置は、表示部と、この表示部に出力する表示信号を生成する表示制御手段とを備え、電源から電力が供給されている状態において、通常モードとスタンバイモードの機能を具備する表示装置であって、前記表示制御手段は、前記通常モードにおいては階調を表示し得る多値の表示信号を生成し、前記スタンバイモードにおいては階調を表示しない2値の表示信号を生成することを特徴としている。

【0006】 このような表示制御手段を備えることによって、スタンバイモードにおいては、電力消費が大きい多値の表示信号の生成に代えて、電力消費が小さい2値の表示信号を生成して表示部に出力するので、より以上の電力削減を図ることができるとともに、着信通知や現在時刻等の必要最小限の表示をすることができる。

【0007】 上記態様の表示装置において、前記表示制御手段は、前記多値の表示信号を生成する第1の回路と前記2値の表示信号を生成する第2の回路とを有し、前記スタンバイモードにおいては、前記第1の回路への電

力の供給を停止し前記第2の回路によって生成された前記2値の表示信号を前記表示部に出力する。これにより、消費電力の大きい回路への電力供給を停止して消費電力の小さい回路で表示信号を生成するので、効果的に電力削減を図ることができ、かつ最小限の表示をし得る。

【0008】また、上記態様の表示装置において、前記第1の回路は、複数ビットのデジタル信号をアナログ信号に変換する回路を含む。これによりスタンバイモードにおいては消費電力の大きいこの回路を非活動状態することにより、大幅な電力削減を可能にする。

【0009】また、上記態様の表示装置において、前記第1の回路は、複数ビットのデジタル信号をアナログ信号に変換する回路及び当該アナログ信号を増幅する増幅回路を含む。これによりアナログ信号の増幅回路をも非活動状態することにより、さらに大幅な電力削減を可能にする。

【0010】また、上記態様の表示装置において、前記表示制御手段は、直列接続された2つの能動素子からなる増幅回路を含み、前記通常モードにおいては、アナログ信号の入力に応じて前記2つの能動素子に流れる電流によって前記多値の表示信号を前記表示部に出力し、前記スタンバイモードにおいては、いずれか一方の能動素子に流れる電流によって前記2値の表示信号を前記表示部に出力する。これにより多値の表示信号を生成する増幅回路を用いて、その回路の電力を削減した状態で2値の表示信号を生成するので、2値の表示信号を生成するために回路を追加する必要がない。

【0011】また、上記態様の表示装置において、前記表示制御手段は、前記多値の表示信号を生成するための複数ビットのデジタル信号を生成する複数のデジタル回路を有し、前記スタンバイモードにおいては、前記複数ビットのうち特定の1ビットのデジタル信号を生成する1つのデジタル回路のみを活動状態にし、他のデジタル回路を非活動状態にする。これにより、アナログ信号である多値の表示信号を生成する回路のみならず、デジタル信号を生成する回路においても消費電力を削減することができる。

【0012】また、上記態様の表示装置において、前記表示部は反射型の液晶表示部で構成され、前記表示制御手段は、この液晶表示部の駆動回路に前記表示信号を出力する。これにより、液晶表示部が多く用いられているノート型パソコンやPDAのバッテリーの消費電力を削減でき、ひいては装置の連続使用時間を長くすることができる。

【0013】

【発明の実施の形態】図1は、一実施例による反射型の液晶表示（LCD）パネルを用いた表示装置におけるシステムの一部を概略的に示している。

【0014】図1において、操作検出回路1、第1の回

路としてのデジタル回路2、第2の回路としてのアナログ回路3は、電源ライン4によって電源部5に接続され定電圧VCを供給されている。LCDパネル（表示部）6は、電源ライン7によって電源部5に接続され定電圧VDを供給されている。操作検出回路1は、この装置が連続して操作されない時間が所定時間を超えたときには、信号ライン8を介して、デジタル回路2とアナログ回路3とにローアクティヴのスタンバイ信号であるSTBYを入力してスタンバイモードに移移する。

【0015】デジタル回路2はC-MOSのICで構成され、表示信号を生成するためのデジタル信号を生成して、信号ライン9を介してアナログ回路3に入力する。アナログ回路3は、このデジタル信号に応じて表示信号を生成して信号ライン10を介してLCDパネル6の駆動回路に入力する。LCDパネル6は、液晶層を封入するガラス基板に形成された駆動回路であるTFT（薄膜トランジスタ）によって、画素電極を駆動して画像を表示する。

【0016】TFTは、水平表示方向に対応するゲートバスと垂直表示方向に対応するソースバスとからなるマトリックスの交差する位置に形成されたゲート、ソース及びドレイン、並びにソースとドレインとの間のチャネルによって構成された薄膜トランジスタである。ソースバスに表示信号が入力された状態でゲートバスにパルス信号を入力することによって、チャネルをオンにしてソースに入力された表示信号をドレインに接続されている画素電極に供給する。すなわち、上記アナログ回路3はソースドライバ回路を構成し、垂直表示方向における複数のソースラインごとに垂直走査時間の間隔で表示信号を生成してLCDパネル6に入力する。

【0017】図1に示したデジタル回路2及びアナログ回路3はソースバスに表示信号を入力する表示制御手段を構成し、図2はその具体的な回路を示している。

【0018】図2において、DAコンバータ回路301は、6ビットのデジタル信号をアナログ信号に変換する。DAコンバータ回路301の6つの入力には、最上位ビット（MSB）に対応する1つのバッファ回路201と5つのアンド回路202ないし206の出力がそれぞれ接続されている。バッファ回路201の入力と、アンド回路202ないし206におけるそれぞれ一方の入力には、アナログ信号を生成するための6ビットのデジタル信号が入力される。また、アンド回路202ないし206におけるそれぞれ他方の入力には、図1に示した操作検出回路1からのSTBYの信号ライン8が接続されている。この信号ライン8は、プルアップ抵抗207を介して電源ライン4に接続されている。

【0019】なお、DAコンバータ回路301には交流化信号POLの信号ライン11が接続されている。POLは液晶の駆動電圧をプラス又はマイナスに逆転させる働きをする。例えば、TFTのコモン電極が0ボルトの

ときはプラス書き込みモードとなり、白が0ボルト、黒が5ボルトになるようにDAコンバータ回路を制御し、コモン電極が5ボルトのときはマイナス書き込みモードとなり、白が5ボルト、黒が0ボルトになるようにDAコンバータ回路を制御する。

【0020】通常モードにおいてはSTBYはハイレベルであるので、アンド回路202ないし206はアクティブ状態（活動状態）となる。このためバッファ回路201及びアンド回路202ないし206に入力された6ビットのデジタル信号が出力され、DAコンバータ回路301に入力される。一方、スタンバイモードにおいてはSTBYはローレベルであるので、アンド回路202ないし206はインアクティブ状態（非活動状態）となる。このためアンド回路202ないし206に入力された5ビットのデジタル信号は出力されず、バッファ回路201に入力された1ビットのMSBのデジタル信号のみが出力される。

【0021】DAコンバータ回路301の出力は、アンプ回路302の入力に接続されている。DAコンバータ回路301の電源端子及びアンプ回路302の電源端子は、ともにアナログスイッチで構成されたスイッチ回路303を介して電源ライン4に接続されている。このスイッチ回路303の制御端子は、STBYの信号ライン8に接続されている。また、アンプ回路302の出力はスイッチ回路304を介して出力端子305に接続され、スイッチ回路304の制御端子は信号ライン8に接続されている。

【0022】このためSTBYがハイレベルの通常モードにおいては、スイッチ回路303はオン状態となり、DAコンバータ回路301及びアンプ回路302に電力が供給されて、バイアス電流が流れるアクティブ状態になる。したがってDAコンバータ回路301に入力された6ビットのデジタル信号がアナログ信号に変換されて、アンプ回路302によって電力増幅がなされ、階調を表示し得る多値の表示信号が出力端子305からLCDパネルのソースバスに入力される。

【0023】出力端子305は、スイッチ回路306を介して電源ライン4に接続され、スイッチ回路307を介してアースラインに接続されている。スイッチ回路306の制御端子にはアンド回路208の出力が接続され、スイッチ回路307の制御端子はアンド回路209の出力に接続されている。このアンド回路208及び209のそれぞれ一方の入力には、インバータ回路210によって反転されたSTBYの信号ライン12が接続されている。

【0024】このためSTBYがハイレベルの通常モードにおいては、アンド回路208及び209のそれぞれ一方の入力にはローレベルの信号が入力されるので、アンド回路208及び209の出力は他方の入力のレベルにかかわらずローレベルとなる。この結果、スイッチ回

路306及び307はオフ状態となる。したがって電源ライン4及びアースラインは出力端子305から切り離された状態になり、アンプ回路302から出力される表示信号に影響を与えることはない。

【0025】STBYがローレベルのスタンバイモードにおいては、スイッチ回路303はオフ状態となり、DAコンバータ回路301及びアンプ回路302には電力が供給されず、バイアス電流が流れないインアクティブ状態になる。また、スイッチ回路304もオフとなり、アンプ回路302の出力は出力端子305から切り離される。

【0026】さらにこのスタンバイモードにおいては、アンド回路208及び209のそれぞれ一方の入力には信号ライン12によりハイレベルの信号が与えられる。このためアンド回路208及び209はアクティブ状態となる。アンド回路208の他方の入力にはイクスクルーシヴ・オア回路211の出力が接続され、アンド回路209の他方の入力にはイクスクルーシヴ・オア回路212の出力が接続されている。

【0027】このイクスクルーシヴ・オア回路211及び212のそれぞれ一方の入力には、POLの信号ラインが接続されている。またバッファ回路201の出力がイクスクルーシヴ・オア回路211の他方の入力に接続されているとともに、インバータ回路213で反転された信号がイクスクルーシヴ・オア回路212の他方の入力に接続されている。

【0028】このためスタンバイモードにおいては、例えばPOLがローレベルに設定されているとすると、スイッチ回路306はバッファ回路201の出力である1ビットのMSBがハイレベルのときのみオンとなり、スイッチ回路307はMSBがローレベルのときのみオンとなる。したがって出力端子305からは、MSBのレベルに応じて2値の表示信号が出力端子305からLCDパネルのソースバスに入力される。

【0029】このようにスタンバイモードにおいては、多値の表示信号を生成する代わりに2値の表示信号を生成することによって、DAコンバータ回路301及びアンプ回路302への電力の供給を停止してインアクティブ状態とし、これらの回路における電力消費を削減する。特に、これらの回路において多値の表示信号を生成するためのバイアス電流は大きいので、消費電力の大きいこれらの回路をインアクティブ状態としてバイアス電流をゼロにすることにより、効果的な消費電力削減が可能となる。

【0030】ところで、一般にC-MOSのICにおいては、その消費電力 $P_d$ は次式で表される。

$$【0031】P_d = C V f$$

【0032】この式において、Cは信号線等の負荷容量、Vは信号振幅（図1の場合には、略電圧VC）、fは0、1の繰り返し周波数（電圧変化率 $dV/dt$ ）で

ある。負荷容量Cの値は信号線が多くなるほど大きくなる。例えば、カラー表示であるRGBの多値の表示信号を生成するためには、各色ごとに6ビットのデジタル信号を必要とするので、合計18本の信号線がデジタル回路の出力側とDAコンバータ回路の入力側とを接続する。

【0033】スタンバイモードにおいては、RGBにおける各6ビットのうちMSBの1ビットだけを用い、他の5ビットを0又は1に固定（インアクティブ状態）するので、18本の信号線のうち15本の信号線におけるfの値はゼロとなる。18本の信号線のそれぞれにおけるCの値及びVの値は略同一と考えると、サンプリングクロック等による消費電力を除けば、デジタル回路での消費電力を略6分の1に削減することも可能になる。

【0034】これによりアナログ信号を生成するADコンバータ回路301及びアンプ回路302のみならず、アンド回路202ないし206のデジタル回路においても、消費電力を削減することができる。

【0035】また本発明の他の実施例の構成では、DAコンバータ回路はスイッチ回路を介して電源ラインに接続されて、通常モードのときにアクティブ状態となり、スタンバイモードのときにインアクティブ状態となるが、アンプ回路は直接に電源ラインに接続されて常時アクティブ状態になっている。

【0036】図2におけるアンプ回路302等の一般的なオペアンプの等価回路においては、その出力段はPNP型のトランジスタとNPN型のトランジスタとがトータムポール接続された構成になっている。このため出力段を1ビットのデジタル信号により適正に制御することによって、図2に示したスイッチ回路306及び307を用いなくても、スタンバイモードにおいて2値の表示信号を生成してLCDパネルのソースバスに入力することが可能である。これにより、2値の表示信号を生成するために図2のスイッチ回路306、307その他の回路を追加する必要がない。

【0037】なお、上記実施例では、液晶表示装置についての例を挙げたが、本発明は、必ずしも液晶表示装置

に適用されることに限定されない。例えば、プラズマ表示装置、エレクトロルミネセンス表示装置、その他の種類の表示装置にも本発明を適用可能である。

#### 【0038】

【発明の効果】本発明によれば、通常モードにおいては階調を表示できる多値の表示信号を生成するが、スタンバイモードにおいては、電力消費が大きい多値の表示信号の生成に代えて、電力消費が小さい2値の表示信号を生成して表示部に出力するので、効果的な電力削減を図ることができる一方、着信通知や現在時刻等の必要最小限の表示を可能とする。

#### 【図面の簡単な説明】

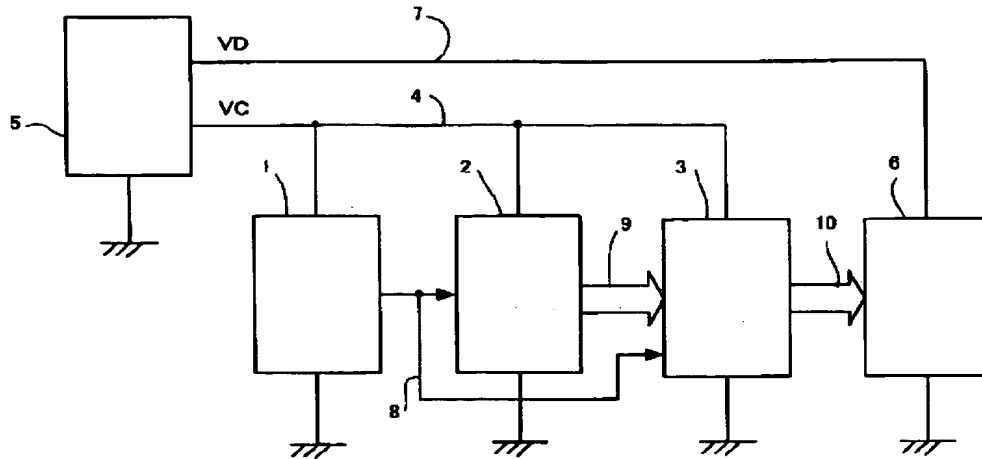
【図1】 本発明の一実施例による反射型のLCDパネルを用いた表示装置におけるシステムの一部を概略的に示したブロック図。

【図2】 図1のデジタル回路及びアナログ回路の具体的な回路図。

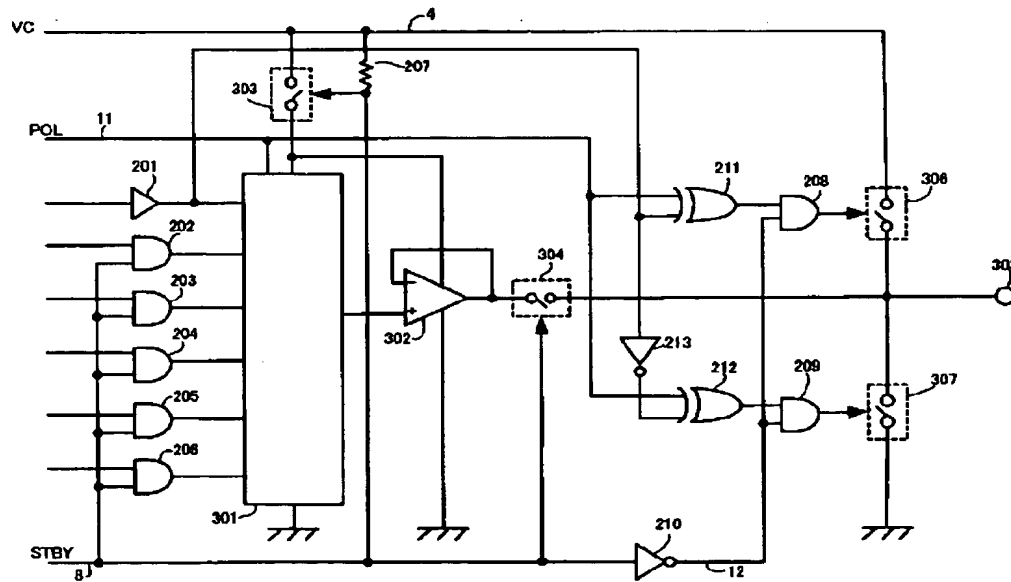
#### 【符号の説明】

- 1…操作検出回路
- 2…デジタル回路
- 3…アナログ回路
- 4…電源ライン
- 5…電源部
- 6…LCDパネル
- 8…STBY信号ライン
- 11…交流化信号ライン
- 12…反転STBY信号ライン
- 201…バッファ回路
- 202～206、208、209…アンド回路
- 207…プルアップ抵抗
- 210、213…インバータ回路
- 211、212…イクスクルーシヴ・オア回路
- 301…DAコンバータ回路
- 302…アンプ回路
- 307…スイッチ回路
- 305…出力端子

【図 1】



【図 2】



フロントページの続き

(71) 出願人 590000248  
 Groenewoudseweg 1,  
 5621 BA Eindhoven, Th  
 e Netherlands  
 (72) 発明者 安居 勝  
 兵庫県神戸市西区高塚台 4 丁目 3 番 1 ホ  
 シデン・フィリップス・ディスプレイ株式  
 会社内

F ターム(参考) 2H093 NA16 NC03 NC13 NC22 NC23  
 NC24 NC34 NC59 ND06 ND39  
 5C006 AA22 AF51 AF61 AF68 AF82  
 BB16 BB28 BC12 BC16 BF25  
 BF26 BF27 BF31 BF42 EC08  
 FA47  
 5C080 AA05 AA06 AA10 BB05 CC03  
 DD26 FF11 JJ02